

BEST AVAILABLE COPY

CLIPPEDIMAGE= JP405047704A
PAT-NO: JP405047704A
DOCUMENT-IDENTIFIER: JP 05047704 A
TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT

PUBN-DATE: February 26, 1993

INVENTOR-INFORMATION:

NAME

SAKAMOTO, AKIHIRO

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP03198083

APPL-DATE: August 7, 1991

INT-CL (IPC): H01L021/28; H01L021/28 ; H01L021/285 ; H01L021/3205
; H01L021/90

US-CL-CURRENT: 438/FOR.154,438/514

ABSTRACT:

PURPOSE: To form a TiSi_2 with an enough thickness at the bottom of a contact hole by growing Ti after opening of the contact hole, and next, heat-treating it so as to make it into a nitride film.

CONSTITUTION: First, ions of impurities are implanted into a silicon substrate 1 so as to form a diffused layer 2, and an insulating film 3 is stacked. Next, a contact hole 9 is opened on the diffusion layer 2, and a Ti film 4 is stacked by sputtering method. Next, using a lamp annealing device, etc., for the Ti film 4, it is heat-treated in nitrogen or ammonia atmosphere, whereby the Ti film 4 on the insulating film 3 is converted to TiN_5 , and the Ti film 4 on the diffused layer 2 is converted to TiSi_2 . Then, a W film 7 deposited by CVD method to fill up the contact hole 9 completely. Hereby, TiSi_2 with an enough thickness can be made on the close contact layer of the W film, and an ohmic contact having low contact resistance can be made.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-47704

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 T	7738-4M		
	A	7738-4M		
21/285	3 0 1 R	7738-4M		
21/3205				
		7353-4M		
			H 0 1 L 21/ 88	R

審査請求 未請求 請求項の数 1 (全 3 頁) 最終頁に続く

(21)出願番号 特願平3-198083

(22)出願日 平成3年(1991)8月7日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 坂元 明広

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

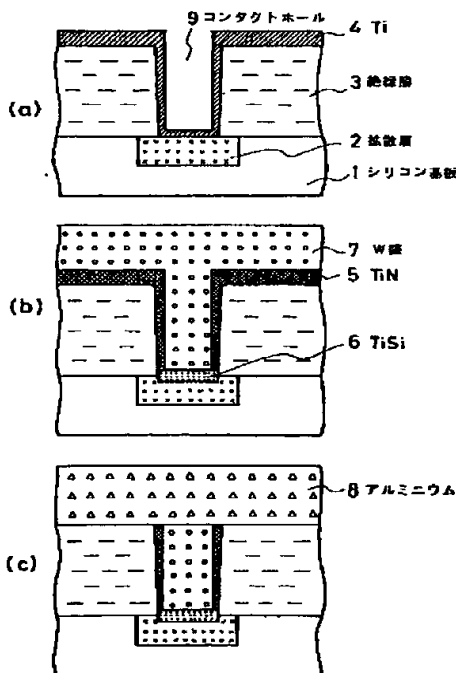
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【目的】 本発明は、コンタクトホールをWで埋め込む構造の半導体素子において、そのコンタクトホール底部でのオーミックコンタクトをより低抵抗で取り得るための製造方法を提供するものである。

【構成】 前述の目的のために本発明では、密着層の形成に当たって、Tiを堆積後、それを熱処理で窒化する工程を設けた。



本発明の実施例の工程断面図

【特許請求の範囲】

【請求項1】 コンタクトホールをタングステン(W)で埋め込む構造の半導体素子の製造に当たって、
 (a) 半導体基板に拡散層を形成し、該基板上に絶縁膜を堆積させ、前記拡散層上にコンタクトホールを開孔する工程と、
 (b) 次いで、Tiをスパッタ法で堆積させる工程と、
 (c) そのTiを熱処理して窒化する工程と、
 (d) その後W膜を形成する工程とを含むことを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンタクトホールをタングステン(W)で埋め込む構造の半導体素子のそのコンタクトホール部を中心にした製造方法に関するものである。

【0002】

【従来の技術】 従来、半導体素子に製法におけるCVD法によるタングステンの埋め込みコンタクトプロセスは、例えば1990IEEE, June 12-13, 1990 VMIC Conference (1990) (米) P. 113-119に見られるように、まず下層のゲート電極等を絶縁するために、フロー性の良い絶縁膜、たとえばBPSG膜を堆積し、下層膜や拡散層と導通をとりたい箇所だけ、通常のホトリソグラフィ技術及びドライエッチング技術でコンタクトホールを形成した後、に、絶縁膜とタングステンの密着性を良くする為に、密着層としてチタン系の膜をスパッタ法で堆積し、ステップカバレッジの良いCVD法のタングステン膜を全面に堆積する。その後、絶縁膜上のタングステンが完全になくなるまでエッチバック処理を施し、コンタクトホール内だけにタングステンを残す方法をとっている。特に密着層として用いるチタン系の膜は、TiとTiNの2層構造の層を使っていて、TiNは、N₂ 雰囲気中でTiをスパッタする反応性スパッタリングで形成していた。またTiN膜の下層のTi膜は、コンタクトホール底部の拡散層(シリコンに不純物AsやBF₃等をドーパした層)とオーミックコンタクトを得るために用いていて、これは、Ar雰囲気中でスパッタして形成していた。さらにこのTiN/Tiの2層膜を形成した後に、N₂ 雰囲気中で600~900℃の温度で熱処理し、下層膜であるTiと拡散層のSiとを反応させ、チタンシリサイド(TiSi₂)を形成し、より低い接触抵抗が得られるオーミックコンタクトを形成して、タングステン膜の密着層として利用していた。

【0003】 また、密着層の膜厚は、コンタクトホールの形状を逆テーパにしないという制約から約1000Å以下の膜厚でしか堆積することができず、Ti膜を500Å、TiN膜を500Åとするのが一般的であった。この時の、アスペクト比が2以上になるコンタクト

ホールの底部のTi膜は、50Å以下になり、低い接触抵抗を得るには、不十分な膜厚であった。

【0004】

【発明が解決しようとする課題】 しかしながら、以上述べたタングステン膜による埋め込みコンタクトプロセスにおける二層構造(TiN/Ti)の密着層では、ステップカバレッジの悪いスパッタ法で形成しており、コンタクトホールのアスペクト比が大きくなればなるほど、オーミックコンタクトを得るために必要なTi膜がコンタクトホール底部で十分な厚さのものが得られなくなるという問題点があった。

【0005】 この発明は、以上述べたコンタクトホール底部で十分な膜厚のTi膜が得られないという問題点を除去するために、密着層の形成方法を改良し、アスペクト比の高いコンタクトホールでも、低い接触抵抗のオーミックコンタクトを有するタングステン膜による埋め込みコンタクトを提供することを目的とする。

【0006】

【課題を解決するための手段】 前述の目的のためにこの発明は、密着層の形成方法において、従来のTiN/Tiのトータル膜厚に相当するTiをスパッタ法で形成し、その後、ランプアニール装置を用いて、窒素またはアンモニアで熱処理を施し、絶縁膜上のTiはTiNに、拡散層上のTiはTiSi₂になるようにしたものである。

【0007】

【作用】 本発明は前述したように、W膜の密着層にTiを窒化したTiNを用いたので、コンタクトホール底部には、十分な膜厚のTiSi₂を形成することができ、低い接触抵抗を持つオーミックコンタクトが形成できる。

【0008】

【実施例】 図1は、この発明の実施例を示す工程断面図であり、以下に詳細に説明する。

【0009】 まず、(a)図に示すように、シリコン基板1にAsやBF₃等の不純物をイオン注入し拡散層2を形成し、BPSG膜等の絶縁膜3を約2μm堆積させ、拡散層2上に1μm以下の直径を有するコンタクトホール9をドライエッチング技術により開孔し、スパッタリング技術によりTi4を約1000Å堆積させる。この時のTiはスパッタリング技術で形成するために、段差被覆性が悪くアスペクト比の高いコンタクトホール9では、ホール底部には、平坦部の10%以下の膜厚しか堆積させることができない。また、Tiを厚く堆積しすぎると、段差被覆性が悪いために、Tiがホール段差部でオーバーハング状になってしまい、コンタクトホール9の形状が逆テーパ状となり、後のタングステン膜の埋め込みが十分にできなくなる。そのために、Tiの堆積膜厚を、約1000Å以上にはできない。次に(b)図に示すように、Ti膜4をランプアニール

3

4

装置を用いて、窒素またはアンモニア雰囲気中で、700～900℃、10～40秒の熱処理を施し、絶縁膜3上のTi4はTiN5に、拡散層2上のTi4はTiSi26にする。その後、CVD法によりW膜7を約1μm堆積させ、コンタクトホール9を完全に埋め込む。W膜7を形成条件の1例としては、温度400℃、圧力30torr、反応ガスWF6 400sccm、H2 5000sccmである。最後に(c)図に示すように、W膜7とTiN膜5を全面エッチングして、絶縁膜3が露出したところでストップし、コンタクトホール9内にW膜7を残し、その後に、配線としてアルミニウム8を約5000Å形成する。

【0010】

【発明の効果】以上、詳細に説明したように、この発明によれば、W膜の密着層に、Tiを窒化したTiNを用

いたのでコンタクトホール底部には、十分な膜厚のTiSi2を形成することができ、低い接触抵抗を持つオーミックコンタクトが形成可能である。

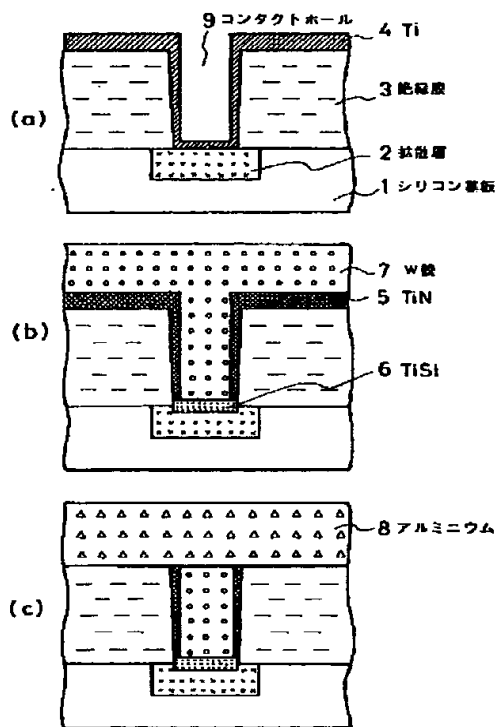
【図面の簡単な説明】

【図1】本発明の実施例の工程断面図。

【符号の説明】

- | | |
|---|----------|
| 1 | シリコン基板 |
| 2 | 拡散層 |
| 3 | 絶縁膜 |
| 4 | Ti |
| 5 | TiN |
| 6 | TiSi2 |
| 7 | W膜 |
| 8 | アルミニウム |
| 9 | コンタクトホール |

【図1】



本発明の実施例の工程断面図

フロントページの続き

(51)Int. Cl.⁵

H01L 21/90

識別記号

庁内整理番号

D 7353-4M

FI

技術表示箇所